

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-122715

(43)公開日 平成7年(1995)5月12日

(51) Int.Cl. ⁸ H 01 L 27/04 21/822 27/06	識別記号	序内整理番号	F I	技術表示箇所
		8832-4M 9170-4M	H 01 L 27/04 27/06	H 3 1 1 C
			審査請求 有	請求項の数 1 O L (全 4 頁) 最終頁に統ぐ

(21)出願番号 特願平6-89434
 (62)分割の表示 特願昭63-272586の分割
 (22)出願日 昭和63年(1988)10月28日

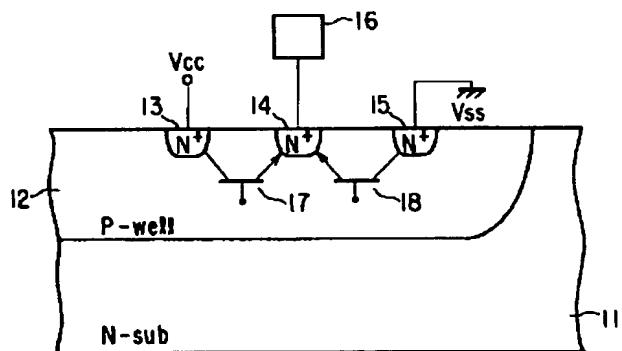
(71)出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (71)出願人 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地1
 (72)発明者 藤井 秀壯
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 (72)発明者 岡田 芳夫
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 (74)代理人 弁理士 鈴江 武彦

最終頁に統ぐ

(54)【発明の名称】 半導体装置

(57)【要約】

- ✓ 【目的】寄生バイポーラトランジスタによる入力保護を正、負の過剰電圧に対してその耐量を向上させると共に、他の回路への影響を極力少なくする。
- 【構成】N型基板11にはPウェル領域12が形成されており、さらにPウェル領域12にはN⁺型領域13～15が形成されている。N⁺型領域14は信号入力用のパッド16に繋がり、N⁺型領域13は電源電圧Vcc用の配線に、N⁺型領域15は接地端子Vss用の配線に繋がる。この結果、図中17、18で示すような寄生バイポーラトランジスタが存在する。すなわち、N⁺型領域14をエミッタ（もしくはコレクタ）とし、N⁺型領域13及び15をコレクタ（もしくはエミッタ）、Pウェル領域12に設けられた図示しないガードリング拡散等のP⁺領域をベースとして構成されている。



【特許請求の範囲】

【請求項1】 半導体チップを構成する半導体基板と、前記半導体基板において隣接する他の回路領域とは区別された保護回路用の第1導電型のウェル領域と、前記ウェル領域表面に配置され、前記半導体基板に対し与えるべき通常の電圧の印加では容易に接合電流が発生しないような距離を保ってそれぞれ形成された第2導電型の第1の半導体領域及びその両隣の第2、第3の半導体領域と、前記ウェル領域に繋がる信号入力用のパッドと、前記第2の半導体領域に繋がる前記半導体チップ周辺に設けられた第1電位の配線と、前記第3の半導体領域に繋がる前記半導体チップ周辺に設けられた第2電位の配線とを具備し、前記パッドに過剰電圧が入力されたときのみ前記ウェル領域の一部領域をベース、前記第1半導体領域をエミッタもしくはコレクタ、前記第2、第3半導体領域のいずれかをコレクタもしくはエミッタとして寄生バイポーラトランジスタが形成されることにより前記過剰電圧を第1、第2の電位の配線いずれか吸収され易い方の配線に過剰電圧が吸収される入力保護手段を構成することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は入力保護回路を内蔵した半導体装置に関する。

【0002】

【従来の技術】 人体等に帶電した静電気により、半導体装置が静電破壊することが知られている。すなわち静電放電、いわゆるESD (electro static discharge) により、半導体装置の特性劣化、接合破壊、酸化膜破壊等が引き起こされる。特に最近では素子の微細化に伴い、集積回路 (IC) の静電破壊耐量は低下する傾向にある。図3は一般的なICチップの平面図である。チップ31の表面の周辺には複数個のパッド32~34が配置されている。このうち、パッド32は電源電圧Vccが印加される電源パッド、パッド33は接地電圧Vssが印加される接地パッドであり、パッド34は信号入力用もしくは信号出力用の信号パッドである。上記電源パッド32にはVcc用の配線35が、上記接地パッド33にはVss用の配線36がそれぞれ接続されており、両配線35、36それぞれチップ表面の全域にわたって施されている。

【0003】 また、一般にICでは入力信号用のパッドと入力バッファとの間に入力保護回路を設けることにより、前記のESDによる内部素子の破壊を防止するようしている。

【0004】 図4は従来の半導体装置に設けられる入力保護回路の部分の等価回路図である。信号入力用のパッド41は、拡散層等による寄生抵抗42及び配線層による寄生抵抗43を介して入力バッファ44の入力端に接続されて

いる。上記両寄生抵抗42と43の接続点には寄生バイポーラトランジスタ45のエミッタが接続されている。このトランジスタ45のコレクタは接地電圧Vssに接続されている。また、入力バッファ44の入力端と接地電圧Vss間にダイオード46が接続されている。

【0005】 図5は上記図4の入力保護回路における寄生バイポーラトランジスタ部分の素子構造を示す断面図である。N型基板51にはPウェル領域52が形成されており、さらにPウェル領域52にはN⁺型領域53~55が形成されている。上記N⁺型領域54の表面には前記抵抗42を介して前記パッド41が接続されており、N⁺型領域53及び55はそれぞれ接地電圧Vssに接続されている。ここで前記寄生バイポーラトランジスタ45はN⁺型領域54をエミッタ（もしくはコレクタ）、N⁺型領域53及び55をコレクタ（もしくはエミッタ）、Pウェル領域52に設けられた図示しないガードリング拡散層等のP⁺領域をベースとして構成されている。

【0006】 このような半導体装置をMIL規格の下でESD試験する場合には、Vss基準によるものとVcc基準によるものの二通りの試験がある。Vss基準によるESD試験は、通常、図3中の接地パッド33を0Vに設定して行われる。また、Vcc基準によるESD試験は、通常、図3中の電源パッド32を0Vに設定して行われる。

【0007】 図4に示すような入力保護回路が設けられた従来の半導体装置をVss基準によりESD試験する場合、パッド41に印加された過剰電圧は寄生バイポーラトランジスタ45を介して図5中の点線で示すように接地電圧Vssに吸収されるため、過剰電圧による破壊から防止することができる。

【0008】 しかし、電源パッドを0Vに設定して行われるVcc基準の試験の場合にはパッド41に印加された過剰電圧が逃げる経路が存在しないため、ESDに対する耐量がVss基準の場合よりも小さくなる。実際には、半導体装置がどのような状態であってもESDが発生する可能性がある。このため、従来ではVcc基準によるESD耐量が小さく、信頼性が低いという欠点がある。

【0009】

【発明が解決しようとする課題】 このように、従来の半導体装置はVcc基準のESD耐量が小さく、信頼性が低いという欠点がある。この発明は上記のような事情を考慮してなされたものであり、その目的はVcc基準及びVss基準の両方のESD耐量が大きく信頼性の高い半導体装置を提供することにある。

【0010】

【課題を解決するための手段】 この発明の半導体装置は、半導体チップを構成する半導体基板と、前記半導体基板において隣接する他の回路領域とは区別された保護回路用の第1導電型のウェル領域と、前記ウェル領域表面に配置され、前記半導体基板に対し与えるべき通常の電圧の印加では容易に接合電流が発生しないような距離

を保ってそれぞれ形成された第2導電型の第1の半導体領域及びその両隣の第2、第3の半導体領域と、前記ウェル領域に繋がる信号入力用のパッドと、前記第2の半導体領域に繋がる前記半導体チップ周辺に設けられた第1電位の配線と、前記第3の半導体領域に繋がる前記半導体チップ周辺に設けられた第2電位の配線とを具備し、前記パッドに過剰電圧が入力されたときのみ前記ウェル領域の一部領域をベース、前記第1半導体領域をエミッタもしくはコレクタ、前記第2、第3半導体領域のいずれかをコレクタもしくはエミッタとして寄生バイポーラトランジスタが形成されることにより前記過剰電圧を第1、第2の電位の配線いずれか吸収され易い方の配線に過剰電圧が吸収される入力保護手段を構成することを特徴とする。

【0011】

【作用】入力保護回路が形成されているウェル領域を他の回路領域と区別して保護動作の影響を他の回路領域に極力与えないようにする。寄生バイポーラトランジスタの基準電圧側を一方は電源電圧用の配線、他方は接地電圧用の配線に接続する。これにより、両電圧基準に対して静電破壊耐量が大きくなる。

【0012】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明に係る半導体装置の入力保護回路における寄生バイポーラトランジスタ部分の素子構造を示す断面図である。N型基板11にはPウェル領域12が形成されており、さらにPウェル領域12にはN⁺型領域13～15が形成されている。N⁺型領域14の表面には図示しないポリシリコン、拡散層等による抵抗を介して信号入力用のパッド16が接続されている。N⁺型領域13は電源電圧Vcc用の配線、つまり前記図3に示す配線35に接続されている。また、N⁺型領域15は接地端子Vss用の配線、つまり前記図3に示す配線36に接続されている。この結果、図中17、18で示すような寄生バイポーラトランジスタが存在する。すなわち、N⁺型領域14をエミッタ（もしくはコレクタ）とし、N⁺型領域13及び15をコレクタ（もしくはエミッタ）、Pウェル領域12に設けられた図示しないガードリング拡散等のP⁺領域をベースとして構成されている。

【0013】なお、N⁺型領域13及び15はパッド16に接続されているN⁺型領域14に対し、通常の入力電圧では容易にPN接合による電流が発生しないような距離に形

成されており、ESDのような過剰な電圧がパッド16に入力されたときにのみ上記図示しないガードリング拡散等のP⁺領域をベースとして導通し、電源電圧Vccまたは接地電圧Vssいずれか吸収され易い方の配線に過剰電圧が吸収される。

【0014】上記構成によれば、入力保護回路が形成されているウェル領域12は他の回路領域と分離される。この結果、ESDによる過剰電圧からの保護動作が他の回路領域に対し影響を与えずに達成できる。

10 【0015】図2は他の実施例を示す断面図であり、図1の実施例におけるN型半導体基板の代わりにP型半導体基板を使用した場合の断面図である。P型基板21上にN⁺型領域22～24が形成されている。また、P型基板21には他の回路のためのNウェル領域25が形成されている。N⁺型領域23の表面には図示しないポリシリコン、拡散層等による抵抗を介して信号入力用のパッド26が接続されている。N⁺型領域22は電源電圧Vcc用の配線、つまり、前記図3に示す配線35に接続されている。また、N⁺型領域24は接地端子Vss用の配線、つまり、前記図3に示す配線36に接続されている。そして、上記と同様にN⁺型領域22及び24はパッド26に接続されているN⁺型領域23に対し、通常の入力電圧では容易にPN接合による電流が発生しないような距離に形成されている。従って、上記図1の構成と同様に、ESDのような過剰な電圧がパッド26に印加された場合にのみ電源電圧Vccまたは接地電圧Vssいずれか吸収され易い方の配線に過剰電圧が吸収されるようになっている。

【0016】

【発明の効果】以上説明したようにこの発明によれば、静電破壊耐量が増加し、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施例による構成の断面図。

【図2】この発明の他の実施例による構成の断面図。

【図3】ICチップの平面図。

【図4】従来の入力保護回路の構成を示す等価回路図。

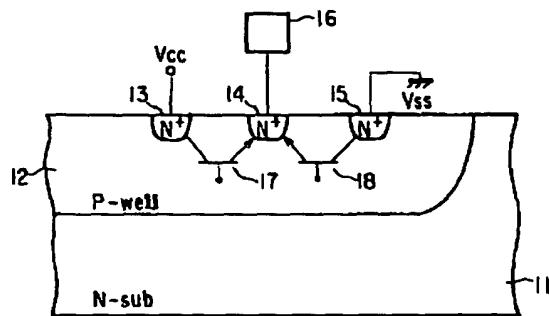
【図5】図4の回路の一部構成を示す断面図。

【符号の説明】

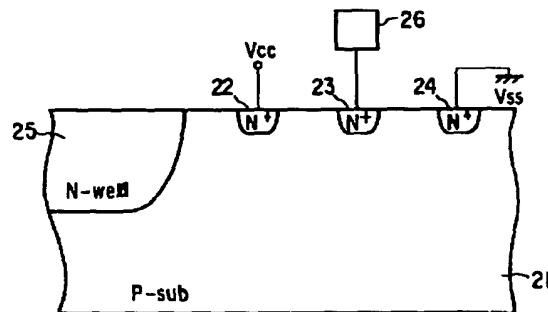
11…N型半導体基板、12…Pウェル領域、13、14、15…

40 N⁺型領域、16…パッド、17、18…寄生バイポーラトランジスタ。

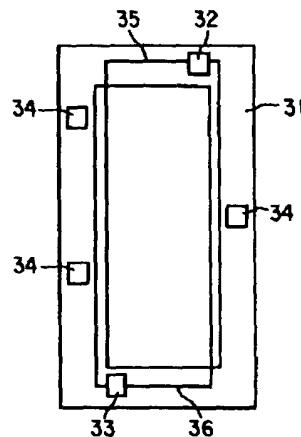
【図1】



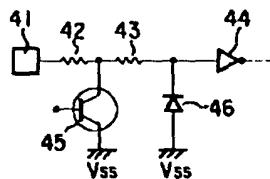
【図2】



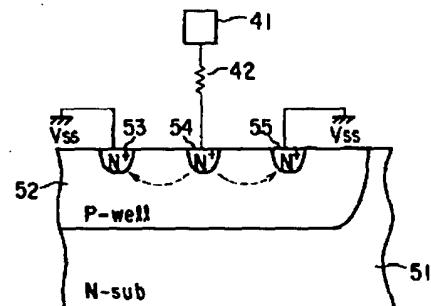
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号
9170-4MF I
H O I L 27/06

技術表示箇所

3 1 1 A

(72) 発明者 斎藤 昇三

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 清水 满

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内